

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-052426  
 (43)Date of publication of application : 26.02.1999

(51)Int.Cl. G02F 1/136  
 G02F 1/13  
 G02F 1/1333

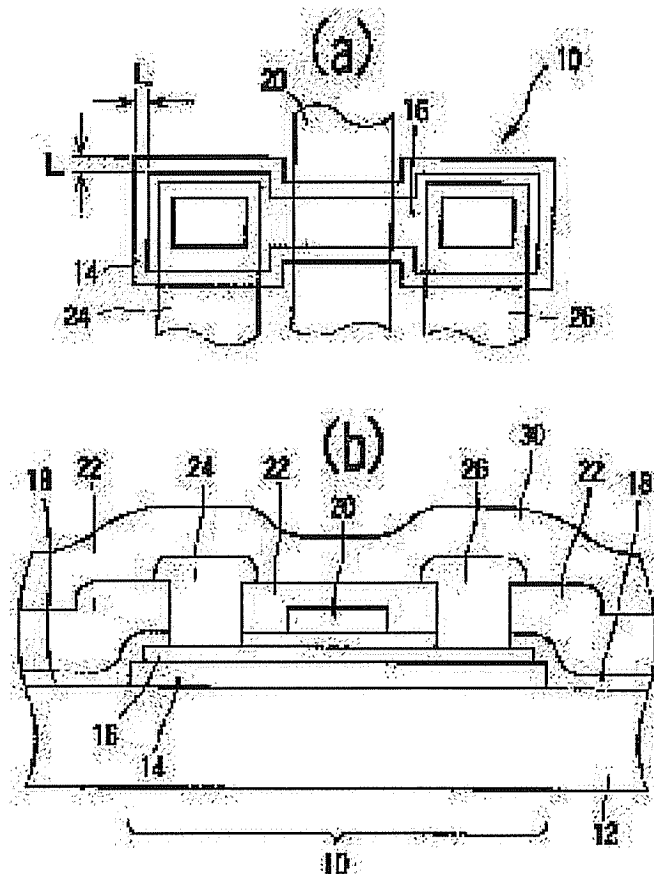
(21)Application number : 09-213653 (71) TOSHIBA CORP  
 Applicant :  
 (22)Date of filing : 07.08.1997 (72)Inventor : GOTO MASASHI  
 KENMOCHI MASAHIITO

## (54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

### (57) Abstract:

PROBLEM TO BE SOLVED: To prevent the diffusion and penetration of impurities from a glass substrate to a semiconductor layer, to relieve the stresses by an insulating film and to prevent the crack of the film and the deformation of the glass substrate by selectively forming the insulating film on the insulative substrate in such a manner that the film protrudes to the circumference of the semiconductor layer.

SOLUTION: The array substrate is deposited with a silicon nitride (SiN<sub>x</sub>) film 14 as the insulating layer for shielding on the glass substrate 12. ZNMOS type TFTs 10 are formed thereon. Namely, the silicon nitride film 14 is disposed under the polysilicon layer 16 of the TFTs and is so formed as to protrude to the circumference of the polysilicon layer 16. The silicon nitride film 14 is not formed over the entire surface of the glass substrate 12 in such a manner and is selectively formed only the lower



part of the polysilicon layer 16, by which the film stresses are greatly relieved and the problems, such as 'warping' of the glass substrate 12 and the crack of the silicon nitride film 14, are solved.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-52426

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl. <sup>8</sup>	識別記号	F I
G 0 2 F	1/136	5 0 0
	1/13	1 0 1
	1/1333	5 0 5

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願平9-213653

(22) 出願日 平成9年(1997) 8月7日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 後 藤 真 史

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 剣 持 雅 人

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

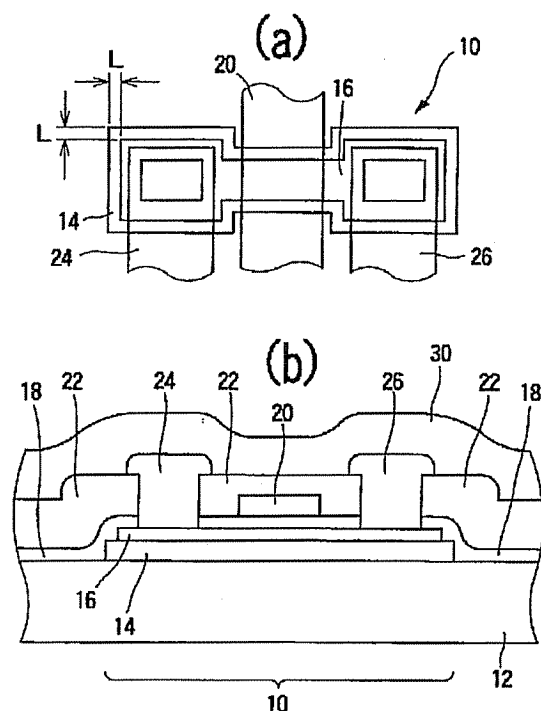
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】 ガラス基板から半導体層への不純物の拡散浸透を防ぐ能力を保ちながらも、絶縁膜による応力を緩和し、膜の亀裂やガラス基板の変形を防ぐことを目的とする。

【解決手段】 窒化シリコン膜などの絶縁膜をガラス基板の全面に堆積せずに、半導体素子の下層のみに設け、且つ半導体層の周囲にはみ出すように形成することによって、半導体層への不純物の侵入を効果的に防ぐとともに、窒化シリコン膜の膜応力を緩和し、窒化シリコン膜の亀裂や絶縁性基板の反りなどの発生を効果的に防止することができる。



## 【特許請求の範囲】

【請求項 1】絶縁性基板と、前記絶縁性基板上に形成されたスイッチング素子とを有するアレイ基板と、前記アレイ基板と対向して配置された対向基板と、前記アレイ基板と前記対向基板との間に挟持された液晶と、を備えた液晶表示装置であって、前記アレイ基板は、前記絶縁性基板と、前記スイッチング素子を構成する半導体層との間に設けられた絶縁膜をさらに有し、前記絶縁膜は、前記半導体層の周囲にはみ出すように前記絶縁性基板上に選択的に形成されていることを特徴とする液晶表示装置。

【請求項 2】絶縁性基板と、前記絶縁性基板上に形成されたスイッチング素子とを有するアレイ基板と、前記アレイ基板と対向して配置された対向基板と、前記アレイ基板と前記対向基板との間に挟持された液晶と、を備えた液晶表示装置であって、前記アレイ基板は、前記絶縁性基板と、前記スイッチング素子を構成する半導体層との間に設けられた絶縁膜をさらに有し、前記絶縁膜は、前記絶縁性基板との熱膨張率の相違に起因する応力を緩和するように前記絶縁性基板上に選択的に形成され、且つ前記絶縁性基板から前記半導体層への不純物の拡散侵入を抑制するように前記半導体層の下層においてその半導体層の周囲にはみ出すように形成されていることを特徴とする液晶表示装置。

【請求項 3】前記アレイ基板は、前記絶縁膜と前記半導体層との間に、エッチング・ストッパ層をさらに有することを特徴とする請求項 1 または 2 に記載の装置。

【請求項 4】前記絶縁膜は、前記アレイ基板の画素開口部において光の透過率を低下させないように開口部を有することを特徴とする請求項 1～3 のいずれか 1 つに記載の装置。

【請求項 5】前記絶縁膜は、前記半導体層の周囲にはみ出す部分の膜厚が、膜の端部に近づくに従って連続的に薄くなるものとして構成されていることを特徴とする請求項 1～4 のいずれか 1 つに記載の装置。

【請求項 6】前記絶縁膜は、前記半導体層の周囲にはみ出す部分のはみ出し幅が 400nm 以上であるものとして構成されていることを特徴とする請求項 1～5 のいずれか 1 つに記載の装置。

【請求項 7】前記絶縁膜は、窒化シリコンからなることを特徴とする請求項 1～6 のいずれか 1 つに記載の装置。

【請求項 8】絶縁性基板と、前記絶縁性基板上に選択的に形成された絶縁膜と、前記絶縁膜の上に形成されたスイッチング素子とを有するアレイ基板と、前記アレイ基板と対向して配置された対向基板と、前記アレイ基板と前記対向基板との間に挟持された液晶と、を備えた液晶表示装置の製造方法であって、前記絶縁性基板上に、前記絶縁膜となる絶縁材料の層を

堆積する工程と、

前記絶縁材料の層の上に、前記スイッチング素子を構成する半導体層を堆積する工程と、

前記半導体層の上にエッチング・マスクを形成する工程と、

前記エッチング・マスクを介して、前記半導体層と前記絶縁材料の層とをそれぞれのエッチング速度が異なる条件で連続的にエッチングすることにより、前記半導体層の周囲に、端部に向けて連続的に膜厚が薄くなる部分を有する前記絶縁膜を形成する工程と、

を備えたことを特徴とする液晶表示装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示装置及びその製造方法に関し、より具体的には、絶縁性基板上に薄膜状の半導体素子がマトリクス状に形成された装置であって、製造歩留まりが高く、且つ信頼性も改善された液晶表示装置及びその製造方法に関する。

## 【0002】

【従来の技術】アクティブ・マトリクス型の液晶表示装置においては、アレイ基板としてガラスなどの絶縁性基板上に画素毎に薄膜トランジスタ (Thin Film Transistor: TFT) が設けられ、信号電圧をスイッチングできるようにされている。このような液晶表示装置において用いられる絶縁性基板は、種々の不純物を含有することが多い。例えば、安価に入手できるソーダライムガラスの場合を例に挙げると、微量のナトリウムやカリウムなどのアルカリ成分を含有していることがある。これらの不純物が、その上に堆積されている半導体素子に拡散侵入すると半導体層の特性が変化し、半導体素子の動作を劣化させることがある。このような不純物による汚染を防ぐためには、絶縁性基板と半導体素子との間に拡散防止用の絶縁膜を設けることが望ましい。

【0003】このような絶縁膜は、電気的に絶縁性を有することが望ましく、その材料としては、窒化シリコンや酸化シリコンなどを用いると便利である。特に窒化シリコンは、通常用いられている成膜工程によって比較的緻密な膜を堆積することができる。そこで、ガラスなどの絶縁性基板の上に窒化シリコンの絶縁膜を堆積することにより、基板中のナトリウム等の不純物が薄膜トランジスタなどの半導体素子の半導体部分に浸透するのを効果的に防止することができる。

## 【0004】

【発明が解決しようとする課題】近年、液晶表示装置に対しては表示画面の大型化が要求され、用いる基板もそれにあわせて大面積化する傾向が続いている。

【0005】しかし、ガラス基板を大面積にするに従って、製造工程中に、前述した絶縁膜の亀裂やガラス基板の「反り」などの不良が多発するという問題があった。このような不良は、窒化シリコン膜などの絶縁膜とガラ

ス基板との熱膨張率が異なることに起因する。すなわち、窒化シリコン膜を 300℃以上の温度で成膜した後には室温まで冷却する際に、窒化シリコン膜に高い膜応力が生じて、ガラス基板が反ったり、熱的あるいは機械的ストレスにより膜に亀裂を生じることがあった。このような不良は、ガラス基板が大型化するほど頻発する傾向があり、液晶表示装置のような大面積基板を用いる製造工程では特に問題となる。

【0006】従来は、このような不良を抑制するために、絶縁膜の成膜条件を調節する方法が採られていた。すなわち、膜質を多少緻密でないものとして膜応力を緩和したり、膜厚をできるだけ薄くする、あるいは成膜温度を下げるなどの方法が採られていた。しかし、膜質を緻密でなくしたり膜厚を薄くしたりすると、不純物の遮蔽効果も低下するために、調節できる幅は限られている。また、良好な膜質を確保するためには、成膜温度もあまり下げることができない。

【0007】さらに、近年の主流サイズである 300mm×400mmあるいはそれ以上の寸法を持つような大きなガラス基板上に絶縁膜を堆積するような場合には、成膜条件を調節しても、膜応力を十分に緩和することができず、基板が反ってしまうことが多い。このような基板の「反り」によって、後の製造工程において装置の搬送系でトラブルが生じたり、液晶セルのギャップがずれて表示コントラストが不均一になるなどの問題があった。

【0008】また、絶縁膜の成膜後に加熱を伴う工程を実施したり、応力の大きい金属膜を堆積したりすると、絶縁膜に亀裂が生じることがあり、製造歩留が極めて低下しやすかった。

【0009】図 7 は、窒化シリコン膜中でのナトリウムの拡散の度合いを表すグラフ図である。すなわち、同図においては、種々の膜質の窒化シリコンについて、表面からのナトリウムの拡散プロファイルが表されている。また、比較のために酸化シリコンのデータも表されている。同図から分かるように、ナトリウムの拡散を十分に遮蔽するためには、窒化シリコンの膜厚は、およそ 200nm 以上であることが望ましい。ところが、窒化シリコンをこの膜厚とすると、その後の製造工程中に 400℃程度に加熱する工程があるだけで窒化シリコン膜が亀裂を生じることがあった。このような亀裂は、不純物の拡散を生じ、TFT のしきい値電圧がシフトする等の性能の劣化の原因となるとともに、長期的な信頼性も保証できないという問題を生ずる。

【0010】一方、窒化シリコンの膜応力を緩和する方法として、窒化シリコンを基板全面に堆積せずに、半導体層の下層のみに選択的に形成する方法も考えられる。すなわち、TFT のシリコン層をパターンニングする際に下層の窒化シリコン層も同一のパターンで同時にパターンニングする方法が考えられる。

【0011】しかし、本発明者の実験によれば、このように窒化シリコン膜を同一のパターンでパターンニングした場合には、前述したガラス基板の「反り」は解消されるものの、信頼性試験において TFT の劣化が見られ、不純物の拡散が十分に遮蔽されていないことが分かった。

【0012】本発明は、かかる点に鑑みてなされたものである。すなわち、その目的は、ガラス基板から半導体層への不純物の拡散浸透を防ぐ能力を保ちながらも、絶縁膜による応力を緩和し、膜の亀裂やガラス基板の変形を防ぐことを目的とする。

【0013】

【課題を解決するための手段】本発明による液晶表示装置は、絶縁性基板と前記絶縁性基板上に形成されたスイッチング素子とを有するアレイ基板と、前記アレイ基板と対向して配置された対向基板と、前記アレイ基板と前記対向基板との間に挟持された液晶と、を備えた液晶表示装置であって、前記アレイ基板は、前記スイッチング素子を形成する半導体層と、前記絶縁性基板との間に設けられた絶縁膜をさらに有し、前記絶縁膜は、前記絶縁性基板との熱膨張率の相違に起因する応力を緩和するように前記絶縁性基板上に選択的に形成され、且つ前記絶縁性基板から前記半導体層への不純物の拡散侵入を抑制するように前記半導体層の下層においてその半導体層の周囲にはみ出すように形成されていることを特徴とするものとして構成される。

【0014】さらに、前記絶縁膜と前記半導体層との間に、エッチング・ストッパ層をもうけることにより、半導体層を容易にパターンニングすることができるようにする。

【0015】また、絶縁膜は、前記アレイ基板の画素開口部において光の透過率を低下させないように開口部を有することが望ましい。

【0016】さらに、絶縁膜と半導体層とをセルフアライン的にパターンニングして、絶縁膜は、前記半導体層の周囲にはみ出す部分の膜厚が、膜の端部に近づくに従って連続的に薄くなるものとして構成されているようにしても良い。

【0017】また、このような絶縁膜のはみ出し幅は 400nm 以上とすることにより、側面からの不純物の拡散を効果的に抑制することができる。

【0018】また、前記絶縁膜は、窒化シリコン膜とすることが望ましい。

【0019】

【発明の実施の形態】本発明は、窒化シリコン膜などの絶縁膜をガラス基板の全面に堆積せずに、半導体素子の下層のみに設け、且つ半導体層の周囲にはみ出すように形成することによって、半導体層への不純物の侵入を効果的に防ぐとともに、窒化シリコン膜の膜応力を緩和し、窒化シリコン膜の亀裂や絶縁性基板の反りなどの発

生を効果的に防止するものである。

【0020】以下、図面を参照しつつ本発明の実施の形態について説明する。図1は、本発明による液晶表示装置のTFT部の要部構成を表す概略図である。すなわち、同図は、ガラス基板上にポリシリコン薄膜を用いたNMOS型TFTを形成したアレイ基板を例示している。同図(a)は、アレイ基板の要部を透視する概略平面図であり、同図(b)は、そのA-A線で切断した概略断面図である。

【0021】同図のアレイ基板においては、ガラス基板12上に、遮蔽用の絶縁層として窒化シリコン(SiNx)膜14が堆積されている。そして、その上にNMOS型TFT10が形成されている。同図に示したアレイ基板の構成を製造プロセスに沿って説明すると以下の如くである。

【0022】まず、例えば300mm×400mmの長方形のガラス基板12を洗浄し、その上に、絶縁膜として窒化シリコン(SiNx)膜14を堆積する。この膜厚は例えば、約200nmとすることができる。また、その堆積方法としては、例えばプラズマCVD法を用いることができる。

【0023】次に、レジストを塗布して図示しないエッチング・マスクを形成し、絶縁膜のパターニング加工を行う。パターニング加工は、例えば反応性イオン・エッチング(RIE)法や化学ドライ・エッチング(CDE)法を用いて行うことができる。この際に、図1(a)に示したように、絶縁膜14のパターン端は半体層16への不純物の拡散を防ぐために半導体層16のパターン端よりも外側にはみ出すように形成する。この「はみだし幅」Lは、パターニング工程におけるマスク合わせマージンも含めて決定することが望ましい。この幅Lは、以下に説明するようにシリコン酸化(SiOx)膜18におけるナトリウム(Na)の拡散係数と、TFT製造工程での温度に依存している。

【0024】所定のパターンを有する絶縁膜14を形成した後に、アモルファス・シリコン層を約50nmの膜厚に堆積し、エキシマ・レーザ・アニール(ELA)法により多結晶化する。さらに、図示しないレジスト・マスクを形成して、CDE法などによりパターニングすることにより、ポリシリコン層16を形成する。

【0025】ポリシリコン層16のパターニングの後に、CVD法により約100nmの膜厚の酸化シリコン(SiOx)膜を堆積して、ゲート酸化膜18を形成する。

【0026】次に、ポリシリコン層16のソース・ドレイン領域にりん(P)をイオン注入してn型とする。この後、モリブデン・タングステン合金(MoW)膜を堆積し、ドライエッチング法により加工してゲート電極20を形成する。

【0027】さらに、CVD法により約500nmの膜

厚に酸化シリコン膜22を堆積し、その後ソースおよびドレインに注入されたりん(P)の活性化アニーリングをELAを用いて行う。

【0028】続いて、所定のマスクを形成してドライエッチング法によりコンタクト開口を穿設する。さらにスパッタリング法によりアルミニウム膜を堆積し、パターニング加工して、ソース電極24とドレイン電極26膜を形成した。さらにこの上に保護膜として窒化シリコン(SiNx)膜30をプラズマCVD法で400nm形成してMOSTFETを完成させた。

【0029】以上説明したように、本発明においては、窒化シリコン膜14が、TFTのポリシリコン層16の下に設けられ、且つポリシリコン層16の周囲にはみ出すように形成されている。このように、窒化シリコン膜をガラス基板の全面に渡って形成せず、ポリシリコン層16の下部のみに選択的に形成するようにした結果、膜応力は大幅に緩和され、ガラス基板12の「反り」や窒化シリコン膜14の亀裂などの問題が解消される。

【0030】すなわち、本発明者による試作の結果、完成したMOSTFETにおいてはSiNxの亀裂もなく、ガラス基板の反り量もガラス端部で300μm以下に抑制されていることが確認された。

【0031】また、窒化シリコン膜14をポリシリコン層16よりも周囲にはみ出すように形成することにより、ガラス基板12からポリシリコン層16への不純物の拡散が十分に抑制され、TFTの信頼性も向上する。

【0032】また、ガラス基板中に存在するナトリウム(Na)等の不純物イオンは、図7にも示したように、酸化シリコン中で特に動きやすいという性質を有する。従って、本実施形態においては、ガラス基板12から酸化シリコン膜18を介してポリシリコン層16の側面に侵入する不純物の拡散を防ぐ必要がある。しかし、本発明者の実験の結果、窒化シリコン膜14の「はみ出し幅」Lが400nm以上であれば、これ以後の製造工程中の最大温度が400℃以下の場合にNMOS型TFTのポリシリコン層16に浸透するNaイオンの濃度を2次イオン質量スペクトル分析法(SIMS)の検出限界(約 $1 \times 10^{15} \text{ cm}^{-3}$ )以下のレベルまで抑える事ができることが分かった。図7に示されている拡散プロファイルを参照すると、不純物の濃度が約 $1/1000$ 以下まで低下している。従って、側面からの拡散を抑制するためには、この程度の距離が必要であると考えられる。

【0033】本発明は、このようにしてガラス基板上に形成された単体のnチャネルMOSTFETの動作特性を評価した。まず、初期特性として、しきい値電圧( $V_{th}$ )のばらつきを求めた結果、 $1V < V_{th} < 2V$ の範囲で安定した素子特性が得られた。従来は、ガラス基板からの不純物の拡散により、ポリシリコン層16が空乏化する傾向があり、得られるTFTのしきい値電圧は、 $0V < V_{th} < 5V$ の範囲で大きくばらつく傾向がみら

れたことと比較すると、本発明による素子は、ばらつきが少なく、きわめて安定した初期特性を有するといえる。

【0034】さらに、素子の長期的信頼性を評価するために、加速劣化試験としてバイアス温度印加試験 (Bias-temperature test: BT試験) を行った。BT試験の条件としては、周囲温度が90℃で、ゲート電極のバイアスを20V、ソース・ドレイン電極の電位はいずれも接地とし、24時間連続動作させた。その結果、本発明によるTFTのしきい値電圧の変動はいずれも0.5V以下であった。従来のTFTのしきい値電圧の変動は3V以上であったことと比較して、本発明のTFTは極めて安定した信頼性が確保されていることが分かった。すなわち、本実施形態によれば、不純物汚染によると思われるポリシリコン層の劣化特性は見られず、窒化シリコン膜14はガラス基板中に存在するナトリウム(Na)等の不純物がポリシリコン層16に拡散することを防止する目的を十分に達成していることが確認された。

【0035】ここで、窒化シリコン膜の応力を緩和することだけを目的とするのであれば、窒化シリコン膜14をポリシリコン層16と全く同一のパターンとして形成し、積層する方法も考えられる。しかし、本発明者の実験の結果、このように窒化シリコン膜とポリシリコン膜とを同一のパターンとして形成すると、長期信頼性が劣化する傾向が認められた。すなわち、このように両者を同一パターンとして形成したTFTについて、前述と同一の条件のBT試験を行った結果、しきい値の変動の平均値は約0.9Vであり、本発明によるTFTよりも変動が大きいたことが分かった。この理由は、窒化シリコン膜14とポリシリコン層16とを同一パターンとして形成すると、前述したように、窒化シリコン膜の端部において、ゲート酸化膜18を介して不純物が拡散し、ポリシリコン層16に侵入することに起因すると考えられる。本発明によれば、窒化シリコン膜14に「はみ出し」を設けているので、このような側面からの拡散侵入を効果的に抑制することができる。その結果として、良好な長期信頼性が得られる。

【0036】しかも本発明によれば、基板の「反り」や絶縁膜の亀裂などを効果的に抑制することができるので、絶縁膜の膜厚を従来よりも厚く形成してもガラス基板が反ることがない。その結果として、従来よりもより効果的に不純物の浸透を抑制することができるようになり、薄膜半導体装置の長期的信頼性をさらに改善することができるという効果も得られる。

【0037】次に本発明による液晶表示装置の変型例について説明する。図2は、本発明による液晶表示装置のTFT部の変型例を表す概略断面図である。すなわち、本実施形態によるアレイ基板は、図1に関して前述したものと同様にガラス基板12上に、遮蔽用の絶縁層として窒化シリコン(SiNx)膜14が堆積され、その上

にNMOS型TFT10が形成されている。図1のアレイ基板と同一の部分には同一の符号を付して説明を省略する。

【0038】但し、本実施形態においては、窒化シリコン膜14の上にエッチング・ストップ層15が積層され、その上にポリシリコン層16が形成されている。このエッチング・ストップ層15は、ポリシリコン層16のパターニングに際して絶縁膜14を保護し、エッチングされないようにするものである。すなわち、エッチング・ストップ層15を設けることにより、ドライエッチング法などによりポリシリコン層16をエッチングしてパターニングする際に、下層の窒化シリコン膜14がエッチングされて、「はみ出し」量が低下する現象を容易に防止することができる。従って、ポリシリコン層のパターニング工程を容易に行うことができる。このようなエッチング・ストップ層15の材料としては、例えば、酸化シリコンを挙げることができる。

【0039】本実施形態によるTFTにおいても、窒化シリコン膜14は、ポリシリコン層16の端部よりも周囲にはみ出すように形成されている。そして、前述したように、基板の「反り」や窒化シリコン膜の亀裂を防止するとともに、ガラス基板からポリシリコン層への不純物の拡散侵入を効果的に防止することができる。

【0040】さらに、本実施形態においては、エッチング・ストップ層15を設けたことによって、窒化シリコン膜14を確実に保護しつつ、ポリシリコン層16のパターニングを容易かつ正確に行うことができる。

【0041】次に本発明による液晶表示装置の変型例について説明する。図3は、本発明による液晶表示装置のTFT部の変型例を表す概略断面図である。すなわち、本実施形態によるアレイ基板は、図1に関して前述したものと同様にガラス基板12上に、遮蔽用の絶縁層として窒化シリコン(SiNx)膜14Aが堆積され、その上にNMOS型TFT10が形成されている。図1のアレイ基板と同一の部分には同一の符号を付して説明を省略する。

【0042】本実施形態によるTFTにおいても、窒化シリコン膜14Aは、ポリシリコン層16の端部よりも周囲にはみ出すように形成されている。しかし、本実施形態においては、窒化シリコン膜14Aの端部は斜面により構成され、テーパ状の断面形状を有するものとして構成されている。このように、窒化シリコン膜の「はみ出し部」を斜面により構成しても、前述した実施形態の場合と同様にガラス基板からの不純物の拡散を防止することができる。しかも、後に詳述するように、本実施形態のアレイ基板は製造が容易であるという利点も有する。

【0043】同図に示したアレイ基板の要部の製造プロセスを説明すると以下の如くである。

【0044】まず、例えば300mm×400mm寸法

のガラス基板12上に、CVD法により窒化シリコン膜を約500nmの膜厚に堆積する。さらに同一のCVD装置内で連続して、ポリシリコン層となるアモルファス・シリコン層を約50nm堆積する。次にELAにより、アモルファス・シリコン層を多結晶化してポリシリコン層とする。さらに、図示しないレジストを被着させそのレジストにマスクを用いてパターンニングを行ったのち、ドライエッチング法により窒化シリコン膜とポリシリコン層とを同時にエッチング加工する。このとき、図2に示すように窒化シリコン膜14の端部の断面テーパ角度 $\theta$ が約30°以下となるような条件でエッチングを行う。膜厚200nmの窒化シリコン膜14のテーパ角度を30°以下とすれば、その斜面の「はみ出し幅」は、400nm以上となり、図1に関して前述した「必要とされるはみ出し量」が得られる。

【0045】ドライエッチング法としてCDE法を用いる場合には、4フッ化炭素(CF<sub>4</sub>)と酸素(O<sub>2</sub>)との混合ガスを原料としたプラズマに曝すことによりエッチングを行うことができる。そして、ポリシリコン層16と窒化シリコン膜14との選択比、すなわちエッチング速度の比を適宜調節することによって、このようなテーパ角度を調節することができる。ここで調節することができるエッチング条件とは、例えば、4フッ化炭素ガスと酸素との流量の比や、プラズマを生ずるための高周波電力、あるいは反応室内のガス圧力などが挙げられる。また、それらの具体的な最適値は、使用するエッチング装置の機種に応じてそれぞれ決定することができる。

【0046】ゲート酸化膜18の堆積工程以降は、図1に関して説明した工程と同一とすることができるので、説明を省略する。

【0047】本発明者の試作結果によれば、本実施形態によるアレイ基板の「反り量」は、基板端部で300ミクロン以下であり、前述したものと同様にガラス基板の反りが十分に抑制されていることが分かった。また、TFTの特性を評価した結果、前述したものと同様の安定した初期特性および長期信頼性を有することが分かった。

【0048】また、本実施形態によれば、前述したように窒化シリコン膜14とポリシリコン層16との堆積工程を同一のCVD装置内で連続して行うことができる。従って、堆積工程を簡略化することができる。

【0049】さらに、本実施形態によれば、ポリシリコン層16と窒化シリコン膜14のパターンニングをいわゆるセルフアライン的に同時に行うことができる。つまり、それぞれのパターンニングのためのフォトリソグラフィ工程を別々に設ける必要がない。従って、パターンニングの精度が顕著に改善するとともに、工程数が減少し、製造が容易になる。また、ダストなどの付着の頻度も低下することができるので、不良品の発生を抑制することができる。

【0050】次に、本発明による液晶表示装置のアレイ基板の具体的な構成例について説明する。図4、図5及び図6は、本発明による液晶表示装置のアレイ基板の構成を表す概略図である。すなわち、図4は、アレイ基板の画面表示部の一部の画素の構成を表す概略平面図である。また、図5は、同アレイ基板の画面表示部の周囲に形成された駆動回路部の一部の構成を例示する概略平面図である。さらに図6は、図4のA-A線断面の概略図である。

【0051】このようなアレイ基板は、例えば、300mm×400mmの寸法をもつガラス基板12を用いて形成することができる。すなわち、ガラス基板12を洗浄した後に、プラズマCVD法により約100nmの膜厚の窒化シリコン膜14を堆積しパターンニングする。さらに、プラズマCVD法により約50nmの膜厚のアモルファス・シリコン層を堆積し、ELAによる多結晶化の後に、ドライエッチング法によりパターンニングする。ゲート酸化膜18の形成工程以降は、前述した実施形態と同様の工程とすることができるので、同一の符合を付して説明を省略する。ただし、図5および図6に示した駆動回路部においては、p/nの両チャネルを持つCMOS回路を形成するため、前述したプロセスに加えて、nチャネルMOSTFT部をレジストで覆い、B(ホウ素)のイオンを注入してpチャネルMOSTFTを形成するプロセスを実施する。

【0052】図4に示した画素部においては、クランク形状にパターンニングされたポリシリコン層16、16、・・・が各画素毎に設けられ、それぞれTFTを構成している。また、図中で縦方向に配置されている信号線24、24、・・・は、それぞれのポリシリコン層16のソース・コンタクト24Cにおいて接続され、所定の映像信号が供給される。

【0053】さらに、同図中で横方向に配置されているゲート電極線(走査線)は、それぞれポリシリコン層16のゲート部にゲート電圧を印加して、スイッチング動作を制御する。また、同図中で「くし形」の補助容量線40、40、・・・は、それぞれのTFTがオフ状態において映像信号電位を保持するために、ポリシリコン層16との間でコンデンサを構成している。そして、ポリシリコン層16は、それぞれのドレインコンタクト26Cにおいて、図示しない画素電極に接続され、画素毎に図示しない液晶層に所定の映像信号を印加するようにされている。このようにして構成されているアレイ基板は、ゲート電極20、信号線24、補助容量線40などにより囲まれた開口部を画素毎に有する。この開口部は、一般に「画素開口部」と称され、図示しない光源からの光が透過する領域に対応する。

【0054】ここで、ガラス基板12の上に形成した窒化シリコン膜14は、図4に示したように、画素開口部となる部分内に矩形の開口部OPを有するようにパター



ニングされている。つまり、窒化シリコン膜 14 は、ポリシリコン層 16 の下層において、その周囲にはみ出して形成されている。このように窒化シリコン膜 14 をパターンニングすることにより、膜応力は十分に緩和され、ガラス基板の反りや窒化シリコン膜の亀裂は十分に抑制される。しかも、ガラス基板 12 からポリシリコン層 16 に不純物が拡散浸透することも十分に抑制される。さらに、このように画素の開口部と窒化シリコン膜 14 の開口部とを一致させれば、窒化シリコン膜 14 が光を遮蔽することがなく、光源からの光の透過率の低下を防ぐことができる。

【0055】次に、図 5 および図 6 に関して説明する。同図は、アレイ基板の周辺部に設けられた駆動回路の一部を例示したものであり、p チャネル TFT 10A と n チャネル TFT 10B とが、ブロック毎に列をなして設けられて CMOS を構成している。それぞれの TFT は、ポリシリコン層 16 を有する。そして、ガラス基板 12 上に設けられた窒化シリコン膜 14 は、同図中に斜線部として表したように、CMOS のブロック毎に形成し、それぞれのポリシリコン層 16 よりもはみ出すようにされている。具体的には、ポリシリコン層 16 の端から約 10 ミクロン以上はみ出すように窒化シリコン膜 14 をパターンニングした。

【0056】本発明者による試作評価の結果、アレイ基板の「反り」は、端部で 300 ミクロン以下であり、対向基板との間隔を所定のギャップ量に維持できることが分かった。また、窒化シリコン膜の亀裂なども観察されなかった。すなわち、窒化シリコン膜をパターンニングすることによって、膜応力が十分に緩和されたことが確認された。

【0057】さらに、TFT の初期特性および長期的信頼性も前述した実施形態と同様に、極めて良好であり、ガラス基板からポリシリコン層への不純物の拡散浸透は、十分に抑制されていることが分かった。

【0058】以上、本発明の実施の形態について具体例を参照しつつ説明した。しかし、本発明は、前述した例に限定されるものではない。例えば、本発明は、ポリシリコン層のみならず、アモルファス・シリコン層を有する液晶表示装置についても同様に適用することができる。

【0059】また、ガラス基板からの不純物の拡散浸透を防止する膜は、窒化シリコン膜に限定されず、酸化シリコン膜、あるいは、それらの混合物である酸化窒化シリコンであっても良い。さらに、酸化アルミニウムや 5 酸化タンタル、炭化シリコンなど種々の物質を用いることができる。

【0060】

【発明の効果】本発明は、以上説明した形態で実施され、以下に説明する効果を奏する。

【0061】まず、本発明によれば、窒化シリコン膜を

ガラス基板の全面に渡って形成せず、ポリシリコン層の下部のみに選択的に形成するようにした結果、膜応力は大幅に緩和され、ガラス基板の「反り」や窒化シリコン膜の亀裂などの問題が解消される。その結果として 300mm×400mm のような大面積のガラス基板を用いたアレイ基板においても、基板の反り量は端部で 300 μm 以下に抑制され、液晶表示装置として必要とされる対向基板との間のギャップを十分に維持できる。

【0062】また、本発明によれば、窒化シリコン膜をポリシリコン層よりも周囲にはみ出すように形成することにより、ガラス基板からポリシリコン層への不純物の拡散が十分に抑制され、TFT の信頼性も向上する。その結果、TFT のしきい値電圧 ( $V_{th}$ ) のばらつきは  $1V < V_{th} < 2V$  の範囲で安定した素子特性が得られた。さらに、BT 試験の結果、しきい値電圧の変動はいずれも 0.5V 以下であり極めて安定した信頼性が確保される。

【0063】しかも本発明によれば、絶縁膜をガラス基板全面に堆積せず、選択的に形成することにより基板の「反り」や絶縁膜の亀裂などを効果的に抑制することができる。従って、絶縁膜の膜厚を従来よりも厚く形成してもガラス基板が反ることがない。その結果として、従来よりもより効果的に不純物の浸透を抑制することができるようになり、薄膜半導体装置の長期的信頼性をさらに改善することができる。

【図面の簡単な説明】

【図 1】本発明による液晶表示装置の TFT 部の構成を表す概略図である。

【図 2】本発明による液晶表示装置の TFT 部の変型例を表す概略断面図である。

【図 3】本発明による液晶表示装置の TFT 部の変型例を表す概略断面図である。

【図 4】本発明によるアレイ基板の画面表示部の一部の画素の構成を表す概略平面図である。

【図 5】同アレイ基板の画面表示部の周囲に形成された駆動回路部の一部の構成を例示する概略平面図である。

【図 6】図 5 の A-A 線断面の概略図である。

【図 7】窒化シリコン膜中でのナトリウムの拡散の度合いを表すグラフ図である。

【符号の説明】

10、10A、10B TFT

12 絶縁性基板

14 絶縁膜

15 エッチング・ストッパ

16 ポリシリコン層

18 ゲート酸化膜

20 ゲート電極

22 酸化シリコン膜

24 ソース電極

24C ソースコンタクト

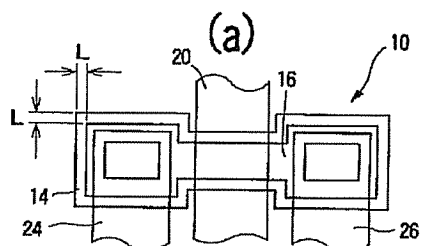
## 26 ドレイン電極

26C ドレインコンタクト

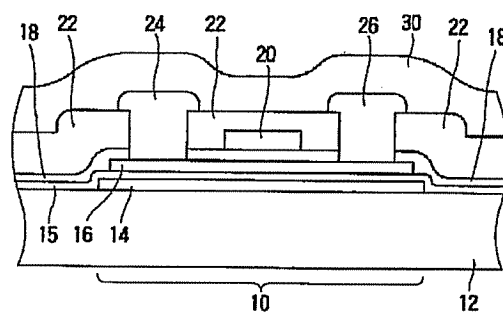
\* 30 保護膜

\* 40 補助容量線

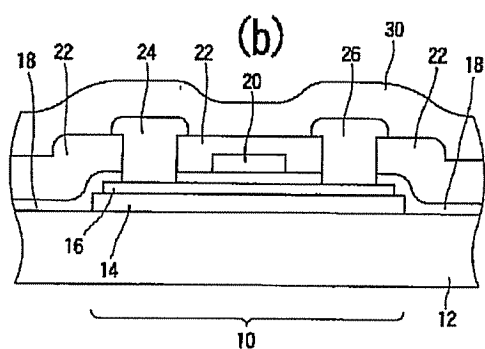
【図 1】



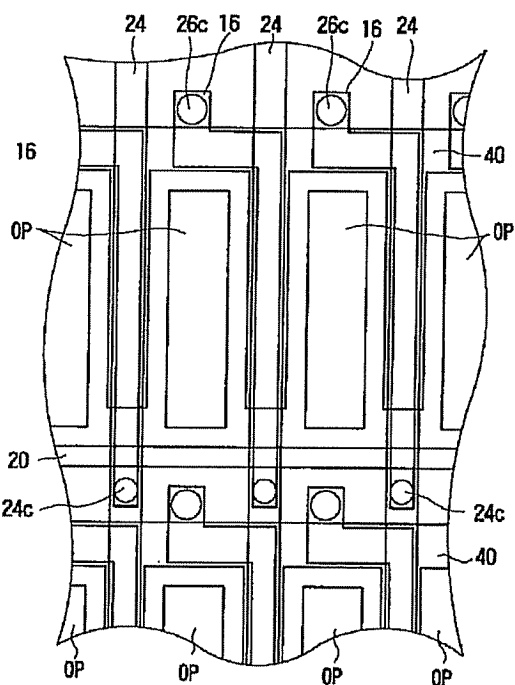
【図 2】



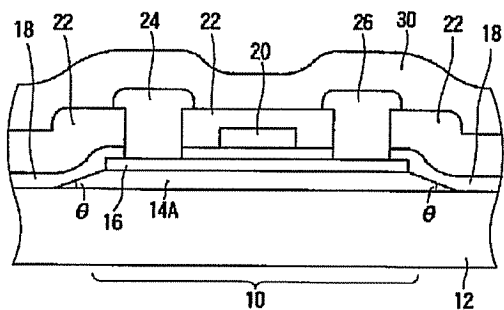
(b)



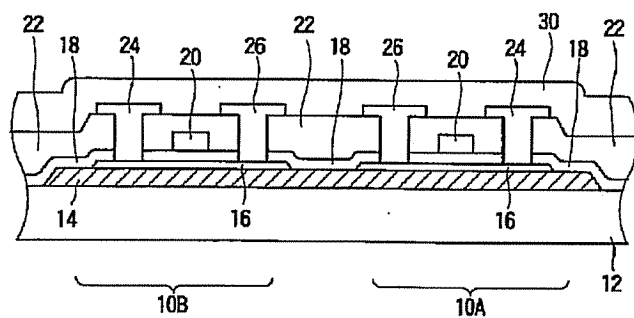
【図 4】



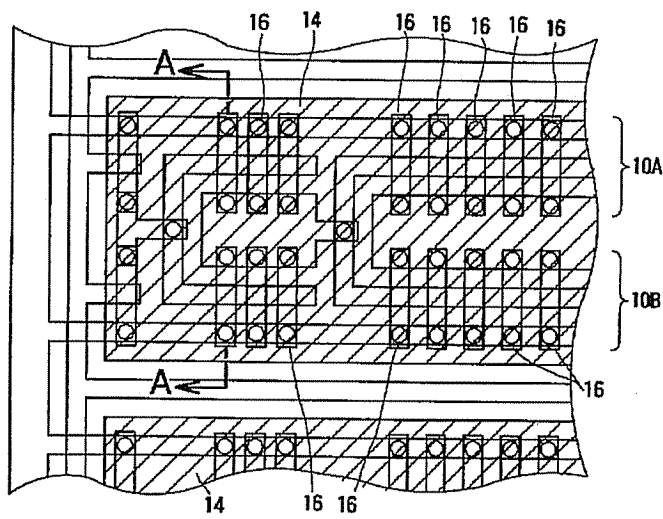
【図 3】



【図 6】



【図5】



【図7】

